

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076396

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 31/04

(21)Application number : 2000-258511

(71)Applicant : FUJI ELECTRIC CORP RES &amp; DEV LTD

(22)Date of filing : 29.08.2000

(72)Inventor : FUJIKAKE SHINJI

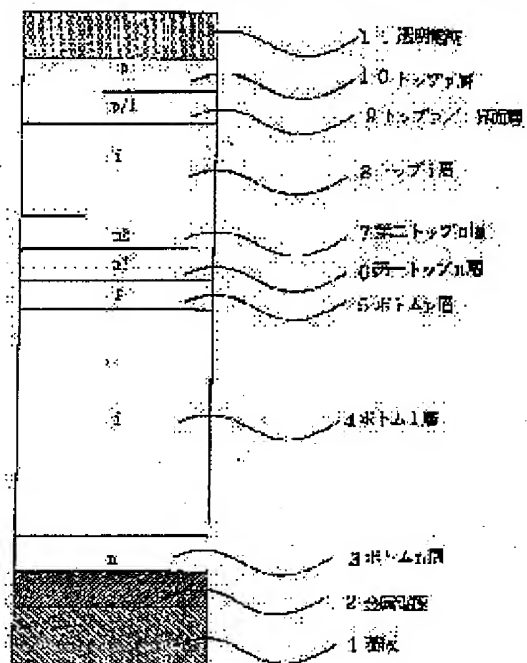
## (54) MULTI-JUNCTION THIN-FILM SOLAR CELL AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an a-Si solar cell of high conversion efficiency, together with its manufacturing method, which is easily manufactured, related to a multi-junction thin-film solar cell where a plurality of pin-type cells are laminated.

SOLUTION: At a border part between an upper-side cell and a lower-side cell, a semiconductor layer whose refractive index is lower than other semiconductor layer of the lower-side cell, for example an n-type crystallite silicon layer of refractive index 2.5-3, is provided.

Related to the method for manufacturing it, a crystallite silicon layer of refractive index 3 or below is provided by film-forming at a hydrogen dilution rate 100 times or less at a substrate temperature 100° C or below.



## LEGAL STATUS

[Date of request for examination]

15.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-76396  
(P2002-76396A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 31/04

識別記号

F I  
H 0 1 L 31/04

テームコード (参考)  
W 5 F 0 5 1  
V

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願2000-258511(P2000-258511)

(22) 出願日 平成12年8月29日 (2000.8.29)

(出願人による申告) 国等の委託研究成果に係る特許出願 (平成11年度新エネルギー・産業技術総合開発機構 (太陽光発電システム実用化技術開発) 委託研究、産業活性再生特別措置法第30条の適用をうけるもの)

(71) 出願人 000154358

株式会社富士電機総合研究所  
神奈川県横須賀市長坂2丁目2番1号

(72) 発明者 藤掛 伸二

神奈川県横須賀市長坂2丁目2番1号 株式会社富士電機総合研究所内

(74) 代理人 100088339

弁理士 篠部 正治

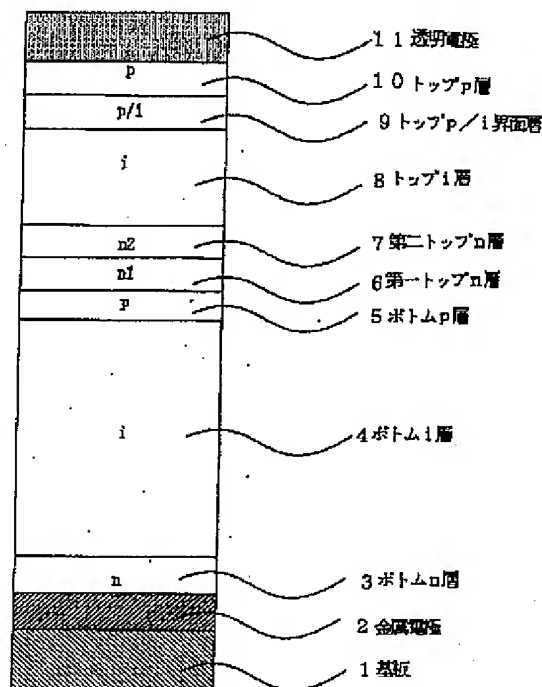
Fターム (参考) 5F051 AA04 AA05 CA03 CA05 CA09  
CA15 CA36 DA04 DA17 DA18

(54) 【発明の名称】 多接合型薄膜太陽電池およびその製造方法

(57) 【要約】

【課題】 複数の p i n 型セルを積層した多接合型薄膜太陽電池において、変換効率が高く、しかも製造の容易な a-Si 太陽電池およびその製造方法を提供する。

【解決手段】 上側セルと下側セルとの境界部に下側セルの他の半導体層より低屈折率の半導体層、例えば、屈折率が 2.5 ~ 3 の n 型の微結晶シリコン層を設ける。製造方法としては、100℃以下の基板温度、且つ 100 倍以下の水素希釈度で製膜することにより、屈折率が 3 以下の微結晶シリコン層が得られる。



## 【特許請求の範囲】

【請求項1】複数のpin型セルを積層してなる多接合型薄膜太陽電池において、上側セルと下側セルとの境界をなす二つの層の少なくともいずれかまたはその一部が、その層またはその一部より上側の半導体層と比較して屈折率の低い低屈折率層であることを特徴とする多接合型薄膜太陽電池。

【請求項2】上側pinセルの最下層またはその一部が低屈折率であることを特徴とする請求項1に記載の多接合型薄膜太陽電池。

【請求項3】下側pinセルの最上層またはその一部が低屈折率であることを特徴とする請求項1に記載の多接合型薄膜太陽電池。

【請求項4】複数のpin型セルを積層してなる多接合型薄膜太陽電池において、上側セルと下側セルとの境界に、上側セルの半導体層と比較して屈折率の低い低屈折率層を有することを特徴とする多接合型薄膜太陽電池。

【請求項5】低屈折率層がn型の微結晶シリコン層であることを特徴とする請求項1ないし4のいずれかに記載の薄膜太陽電池。

【請求項6】低屈折率層の屈折率が2.5～3の範囲にあることを特徴とする請求項5に記載の多接合型薄膜太陽電池。

【請求項7】上側pinセルのi層の厚さを70～200nmとすることを特徴とする請求項5に記載の多接合型薄膜太陽電池。

【請求項8】複数のpin型セルを積層してなり、上側セルと下側セルとの境界をなす二つの層のいずれかまたはその一部が、その層またはその一部より上側の半導体層と比較して屈折率の低い低屈折率層である多接合型薄膜太陽電池の製造方法において、下側セルの最上層のp型微結晶シリコン層上に、製膜温度60～110℃、水素希釈度60～140倍とするプラズマCVD法により、低屈折率のn型微結晶シリコン層を製膜することを特徴とする多接合型薄膜太陽電池の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アモルファスシリコン（以下a-Siと記す）を主材料としたpin型セルを複数積層してなる多接合型薄膜太陽電池およびその製造方法に関する。

## 【0002】

【従来の技術】a-Si太陽電池は、薄膜、低温プロセス、大面積化が容易という特徴から低コスト太陽電池の本命として開発が進められている。しかしながら、このa-Si太陽電池は、単結晶Siや多結晶Si等のバルク結晶型太陽電池に比べて変換効率が低いという問題を抱えている。これは、a-Si膜のバンドギャップが1.7～1.8eVと広く、その影響で分光感度を有する波長が300～800nmと狭いことに起因している。

【0003】この問題を解決する方法としてナローギャップの下側セル（以下ボトムセルと記す）とのタンデムセル化が提案されている。主なナローギャップ材料としては、アモルファスシリコンゲルマニウム（a-SiGe）と薄膜多結晶および薄膜微結晶があり、これらはすべてa-Siと同様にプラズマCVD法で製膜することができる。

【0004】これらのナローギャップ材料を用いると、上側セル（以下トップセルと記す）とボトムセルとを合わせて20～28mA/cm<sup>2</sup>程度の短絡電流（以下Jscと記す）が得られるが、トップセルはほぼその半分の10～14mA/cm<sup>2</sup>のJscを受け持つことになる。しかしながら、トップセルでは反射光の効果を殆ど期待できないので、膜厚を200～300nmと厚くする必要があり、このため、曲線因子（以下FFと記す）が低下するという特性面の問題、および材料コストが嵩むというコスト上の問題があった。

【0005】このうち特性上の問題を解決する手段として、ミラー層と称する低屈折率の金属酸化物をトップセルとボトムセル間のn/p接合部に挟み、屈折率の差を利用して故意にある程度の光をミラー層で反射させて、トップセルの短絡電流を増加させる技術がニューシャテル大のフィッシャーらによって提案された[25th IEEE PVSC 1053～1056頁参照]。

【0006】尚、特公平2-37116号公報に、複数のpinセルを積層した多接合型の光起電力装置においてアモルファス半導体からなるpinセル間に微結晶化半導体層を挟むことが記載されている。しかし、その微結晶化半導体層は各セル間の逆方向整流性を排除するためのものであって、厚さは10nmと薄く、屈折率についても考慮されておらず、また反射光に関する記述もない。従って、上記公報は、本発明とは目的も構成も異なるものである。

## 【0007】

【発明が解決しようとする課題】ミラー層である金属酸化物は、スパッタリングや蒸着により形成されるため、プラズマCVD装置に組み込むのが困難であり、2台の製膜装置を必要とする。さらに、ボトムセル製膜とミラー層製膜の間、ミラー層製膜とトップセル製膜の間で大気に晒すことになり、不純物の取り込みやピンホールの発生といった問題があった。

【0008】本発明の目的は、これらの問題を解決し、不純物の取り込みやピンホールの発生が無く変換効率（以下Effと記す）の高い、しかも製造の容易なa-Si太陽電池およびその製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】上記課題の解決のため本発明は、複数のpin型セルを積層してなる多接合型薄膜太陽電池において、上側セルと下側セルとの境界をなす二つの層の少なくともいずれかまたはその一部が、その層またはその一部より上側の半導体層と比較して屈折

率の低い低屈折率層であるものとする。

【0010】上側pinセルの最下層またはその一部が低屈折率であっても、下側pinセルの最上層またはその一部が低屈折率であってもよい。または、上側セルと下側セルとの境界に、上側セルの半導体層と比較して屈折率の低い低屈折率層を有するものとしてもよい。低屈折率の半導体層を設けるとその層がミラー層と同じ役割を果たし、光を反射させて、上側セルの短絡電流を増大させる。しかも、他の半導体層と同じ装置で製膜できるので、金属酸化物のミラー層のときのように製膜装置から取り出されて大気に晒されることが無くなる。

【0011】特に、低屈折率の層がn型の微結晶シリコン（以下 $\mu\text{c-Si}$ と記す）膜であるものとする。 $\mu\text{c-Si}$ 膜とは、数十nmサイズの結晶グレインとa-Siの混晶である。後記の実験で証されるように、n型の $\mu\text{c-Si}$ 層では、p型 $\mu\text{c-Si}$ 層より、低屈折率の膜を実現し易い。またa-Si層では、低屈折率の膜を実現できても、高比抵抗となつて、実用に適さない。

【0012】低屈折率層の屈折率が2.5～3の範囲にあるものとする。シリコンの屈折率は約3.5であり、微結晶シリコン薄膜、アモルファスシリコン薄膜の屈折率もほぼ似た値である。従つて、屈折率が3を越えた $\mu\text{c-Si}$ 層では、光を反射させる効果が少なくなる。屈折率が2.5未満の型の $\mu\text{c-Si}$ 層を製膜することは実際的には困難である。

【0013】上側pinセルのi層の厚さを70～200nmとする。後記の実験で証されるように、70nm未満では、光吸収が不十分で短絡電流が小さく、200nmを越える厚さでは、反射が少なくなって短絡電流が小さくなる。上記のような多接合型薄膜太陽電池の製造方法としては、下側セルの最上層のp型 $\mu\text{c-Si}$ 層上に、製膜温度60～110℃、水素希釈度65～140倍のプラズマCVD法により、上側セルの最下層のn型 $\mu\text{c-Si}$ 層を製膜する。

【0014】後記の実験で証されるように、この製膜条件にすることによって、屈折率3以下のn型 $\mu\text{c-Si}$ 層が得られる。他の条件では屈折率3以下のn型 $\mu\text{c-Si}$ 層が得られない。

【0015】

【発明の実施の形態】〔実施例1〕ボトムセルにa-SiGeセルを適用した例について述べる。図1は作成したタンデムセルの断面構造図である。面積1cm<sup>2</sup>のa-Si/a-SiGe太陽電池である。ガラス基板1上に下部電極2として銀（Ag）薄膜が設けられている。その下部電極2上に、a-Siのボトムn層3、a-SiGeのボトムi層4、 $\mu\text{c-Si}$ のボトムp層5、 $\mu\text{c-Si}$ の第一トップn層6、アモルファス酸化シリコン（以下a-SiOと記す）の第二トップn層7、a-Siのトップi層8、a-SiOのトップp/i界面層9、a-SiOのトップp層10が積層され、そのトップp層10の表面に酸化インジウム錫（以下ITOと記

す）の上部電極11が設けられている。

【0016】以下に試作セルの製造工程を説明する。基板1として旭硝子社製のUタイプ二酸化錫（以下SnO<sub>2</sub>と記す）付きガラス基板を用いた。ガラス基板1上に金属電極2としてスパッタリング法により厚さ100～200nmの銀（Ag）薄膜を製膜した。

【0017】次にプラズマCVD法によりa-Si系膜3～10の製膜を行なった。まず、基板温度を130～170℃として、モノシラン（以下SiH<sub>4</sub>と記す）を主ガス、フォスフィン（以下PH<sub>3</sub>と記す）をドーピングガス、水素（以下H<sub>2</sub>と記す）を希釈ガスとして、膜厚10～20nmのa-Siのボトムn層3を製膜し、続いて基板温度を200～250℃として、SiH<sub>4</sub>とゲルマン（以下GeH<sub>4</sub>と記す）を主ガス、H<sub>2</sub>を希釈ガスとして、膜厚100～150nmのa-SiGeからなるボトムi層4を製膜した。ここで、i層4のバンドギャップは1.45eVとした。

【0018】次に基板温度を85℃として、SiH<sub>4</sub>を主ガス、ジボラン（以下B<sub>2</sub>H<sub>6</sub>と記す）をドーピングガス、水素（以下H<sub>2</sub>と記す）を希釈ガスとして、膜厚10～20nmの $\mu\text{c-Si}$ のボトムp層5を製膜した。このときの水素希釈度（H<sub>2</sub>/SiH<sub>4</sub>）は200倍とし、ドーピング量は、B<sub>2</sub>H<sub>6</sub>/SiH<sub>4</sub> = 0.1～1%とした。 $\mu\text{c-Si}$ を製膜する際には注意が必要である。というのは製膜条件によっては、厚さ10nm程度のa-Siの初期遷移層が形成される。このa-Siの初期遷移層は、あくまでもa-Siのp膜なので、存在すると吸収係数の増大やVocの低下といった悪影響を及ぼすことになる。従つてこのa-Siの初期遷移層が形成されないような製膜条件としなければならない。このa-Si層の有無は、TEM観察により確認できる。その観察結果によると、初期遷移層の有無は基板温度に大きく依存し、基板温度150℃以上では、遷移層が形成されるが、製膜温度120℃以下であれば、初期遷移層が存在せず、界面層から $\mu\text{c-Si}$ が形成されることがわかった。本実施例では、基板温度85℃なので、初期遷移層は存在しない。

【0019】 $\mu\text{c-Si}$ のボトムp層5製膜後、同じ基板温度（85℃）で、SiH<sub>4</sub>を主ガス、PH<sub>3</sub>をドーピングガス、H<sub>2</sub>を希釈ガスとして、膜厚15～80nmの $\mu\text{c-Si}$ の第一トップn層6を製膜した。このときのドーピング量は、PH<sub>3</sub>/SiH<sub>4</sub> = 0.2～2とし、水素希釈度は75～100倍とした。ここで重要なのは、基板温度を100℃以下、且つ水素希釈度を100倍以下とすることであり、これによって屈折率3以下の膜が得られる。すなわちこの第一トップn層がミラー層の役割を果たすことになる。本実施例では屈折率2.65の膜が得られた。

【0020】この上に基板温度を130～170℃とし、SiH<sub>4</sub>および炭酸ガス（CO<sub>2</sub>）を主ガス、PH<sub>3</sub>をドーピングガス、H<sub>2</sub>を希釈ガスとして、膜厚10～20nmのa-SiOの第二トップn層7を製膜し、二層構造のトップn層とした。第二トップn層7の屈折率は約3.5であ

る。その後、 $\text{SiH}_4$ を主ガス、 $\text{H}_2$ を希釈ガスとして、膜厚80～300nmのa-Siのトップi層8、再び $\text{SiH}_4$ および炭酸ガス( $\text{CO}_2$ )を主ガス、 $\text{B}_2\text{H}_6$ をドーピングガス、 $\text{H}_2$ を希釈ガスとして、膜厚5～20nmのa-SiO<sub>2</sub>のトップ界面層9と膜厚4～15nmのトップp層10を順次製膜した。トップ界面層9とトップp層10のドーピング量は、それぞれ $\text{B}_2\text{H}_6/\text{SiH}_4 = 20 \sim 500 \text{ ppm}$ 、0.5～3%とした。最後にスパッタリング法により透明電極11として膜厚80～300nmのITOを形成した。

【0021】こうして完成した太陽電池の他に、比較例として $\mu\text{c-Si}$ の第一トップn層の屈折率を3.47とした太陽電池を試作した。比較例の $\mu\text{c-Si}$ の第一トップn層は、製膜温度を150℃とした以外は実施例と同様の条件で製膜したものである。すなわちこの比較例の太陽電池では、ミラー層が存在しないことになる。図2は、このようにして試作した実施例1と比較例のa-Si/a-SiGe タンデムセルにおける、トップi層8の膜厚と、セル特性との関係を示す特性関係図である。本発実施例のセルは●印、比較例は○印で示した。

【0022】この結果から、本実施例のa-Si/a-SiGe タンデムセルでは、トップi層が薄い領域で、 $J_{sc}$ が増大していることがわかる。また、 $J_{sc}$ が最大になる最適マッチングの膜厚は、従来が300nm程度だったのに対し本実施例では、180nm程度と大幅に薄くなっている。比較例と比べて約60～70%程度のトップi層膜厚で、同じ $J_{sc}$ が得られることがわかる。開放電圧 $V_{oc}$ およびFFでは、実施例と比較例とであまり差は見られない。

【0023】a-Siセルでは、i層膜厚を薄くする程、内部電界が強くなることによって、FFが向上する。本実施例では、最適マッチングになるトップi層を薄膜化できるようになったため、最適条件でのFFが向上した。結果として、本実施例の最高効率12.1% (トップi層180nm時) となり、従来例の最高効率11.6% (トップi層240nm時) よりも約0.5ポイント効率が向上した。

【0024】これらの効果は、明らかにトップセルとボトムセルとの境界部分に低屈折率の第一トップn層6を設けたため、入射光の反射分が増えたミラー効果によるものである。先に、特公平2-37116号公報に、複数のpinセルを積層した多接合型の光起電力装置においてアモルファス半導体からなるpinセル間に微結晶層を挟むことが開示されていることを記したが、セル間に屈折率を考慮しない微結晶層を挟んでも効率の向上が得られないことは、この比較例によって実証されたことになる。

【0025】尚、本実施例では屈折率2.65の微結晶シリコンを適用した場合について述べたが、屈折率3以下の膜を適用することで、ミラー効果が得られることが確認できている。ここで $\mu\text{c-Si}$ 層製膜条件と屈折率との

関係を調べるためにおこなった実験について述べる。

【0026】まず、基板としてコーニング7059基板を準備し、この上に種々の条件で膜厚300nmの $\mu\text{c-Si}$ 膜の製膜をおこなった。次にこのサンプルの透過スペクトルを評価し、波長1000～2000nmの範囲で谷となる透過率から屈折率を導出した。波長1000～2000nmの屈折率を評価しているため、分散の効果で若干屈折率を過大評価している可能性が考えられる。

【0027】図3は、水素希釈度( $\text{H}_2/\text{SiH}_4$ )100倍で製膜したn型 $\mu\text{c-Si}$ 膜の製膜時基板温度と、屈折率との関係を示す。ここで、n型不純物ドーパ量は、 $\text{PH}_3/\text{SiH}_4 = 1\%$ に固定した。この図から基板温度の減少にともなって屈折率が減少し、基板温度100℃以下で屈折率が3以下になることがわかった。基板温度85℃で屈折率2.78となった。50℃まで下げると、多量のパウダーが発生し膜にならなかった。

【0028】図4は、基板温度を85℃に固定して水素希釈度を変化させた結果である。水素希釈度を低くするほど、屈折率は小さくなった。水素希釈度75倍で屈折率は2.65となった。50倍まで下げると、パウダーが発生してしまい膜にならなかった。図5は、水素希釈度200倍で製膜したp型 $\mu\text{c-Si}$ 膜の製膜時基板温度と屈折率との関係を示す。ここで、不純物ドーパ量は、 $\text{B}_2\text{H}_6/\text{SiH}_4 = 0.5\%$ に固定した。p型の膜は一般に言われているように微結晶しにくく、このため水素希釈度を200倍以上にしないと微結晶化しなかった。

【0029】この結果から、p型 $\mu\text{c-Si}$ 膜では基板温度を下げてみても殆ど屈折率が変化しないことがわかった。n型の膜と振舞いが異なっているが、これがドーパントの差によるものなのか、水素希釈度の違いによるものかについては、まだ良くわかっていない。しかしながら、p型の膜ではあまり低希釈にできないことを考えると、低屈折率のp型 $\mu\text{c-Si}$ 膜を得るのは困難だと考えられる。

【0030】最後に、本実施例では、低屈折率の $\mu\text{c-Si}$ 膜を適用することについて述べたが、a-Si膜が適さない理由について触れておく。a-Si膜では、屈折率を3以下にすること自体が困難であるが、屈折率を下げると、低密度な膜となり、電気抵抗が著しく高くなってしまうため、デバイスに使用できないという問題がある。これに対し、 $\mu\text{c-Si}$ 膜は、数十nmサイズの結晶グレインとa-Siの混晶である。低屈折率になるのは、この中でa-Siの部分が低密度化してボイドリッチになるためと考えられるが、結晶グレイン同士が少しでも接していれば、この部分を通して電流が流れるため、低抵抗となる。従ってミラー層に $\mu\text{c-Si}$ を用いることで始めて良好なセル特性が得られた訳である。

【0031】特開平6-181331号公報に、アモルファス半導体太陽電池において、アモルファス半導体からなるpinセルと光入射側の電極との間に低屈折率の層を設けることが開示されている。しかし、その低屈折

率の層の目的は反射光の反射を図ることにあり、またその実施例も電子ビーム蒸着した酸化チタン層（屈折率＝1.9）であって、本発明のように積層されたセル間に入射光を一部透過させながら、反射させるものではなく、さらに、低屈折率の半導体層を意図したものではない。従って、この公報も、本発明とは目的も構成も異なるものである。

#### 【0032】

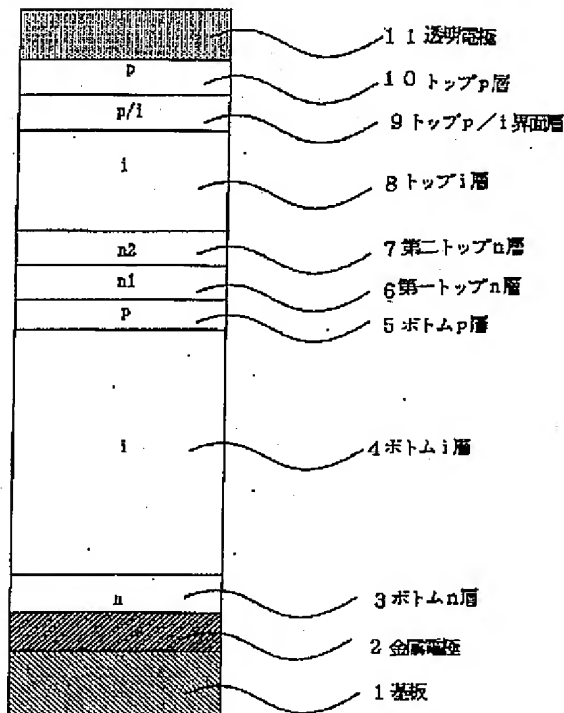
【発明の効果】以上説明したように本発明によれば、p-i-n型セルを積層した多接合型薄膜太陽電池において、上側セルと下側セルとの境界部に低屈折率の半導体層を設けることにより、不純物の取り込みやピンホールの発生を抑え変換効率の高い多接合型薄膜太陽電池とすることができる。特に微結晶シリコンの低屈折率膜とすることにより、1台の装置で一括してセルの製膜をおこなうことが可能となり、設備コストを抑え低コストの太陽電池を高い歩留りで製造することができる。詳しい製造方法についても記述した。

【0033】よって本発明は、多接合型薄膜太陽電池の実用化および普及に貢献するところ大である。

#### 【図面の簡単な説明】

【図1】本発明にかかるa-Si/a-SiGe タンデムセルの断

【図1】



#### 面構造図

【図2】本発明の実施例および比較例のタンデムセルにおける特性のトップi層膜厚依存性比較図

【図3】希釈度100倍で製膜したn型微結晶シリコン膜の製膜時基板温度と屈折率との関係を示す特性図

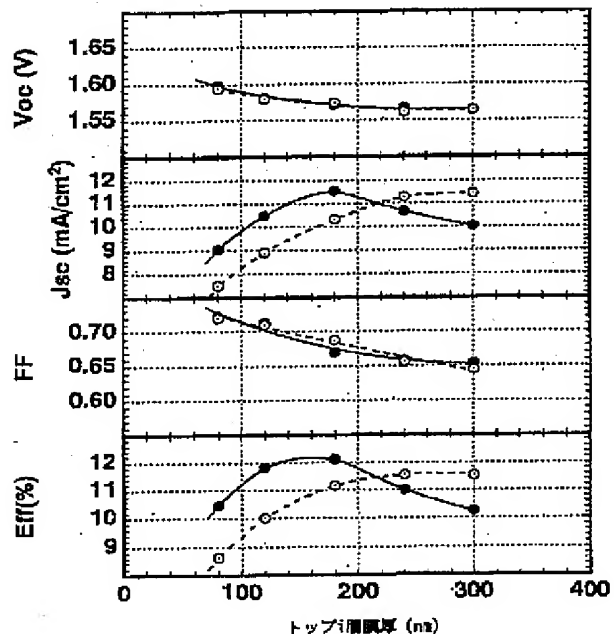
【図4】基板温度100℃で製膜したn型微結晶シリコン膜の希釈度と屈折率との関係を示す特性図

【図5】希釈度200倍で製膜したp型微結晶シリコン膜の製膜時基板温度と屈折率との関係を示す特性図

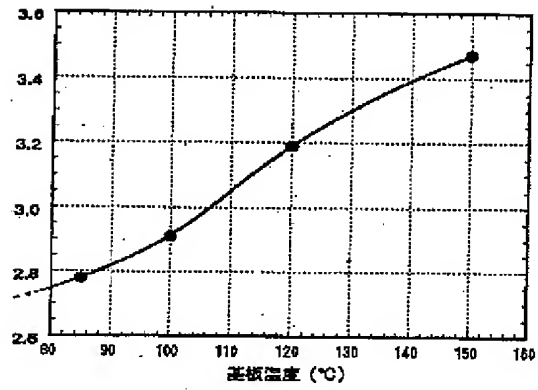
#### 【符号の説明】

- |    |             |
|----|-------------|
| 1  | 基板          |
| 2  | 金属電極        |
| 3  | ボトムセルn層     |
| 4  | ボトムセルi層     |
| 5  | ボトムセルp層     |
| 6  | 第一トップセルn層   |
| 7  | 第二トップセルn層   |
| 8  | トップセルi層     |
| 9  | トップセルp/i界面層 |
| 10 | トップセルp層     |
| 11 | 透明電極        |

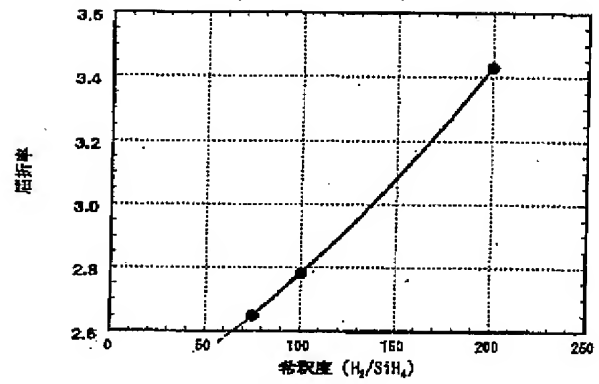
【図2】



【図3】



【図4】



【図5】

